

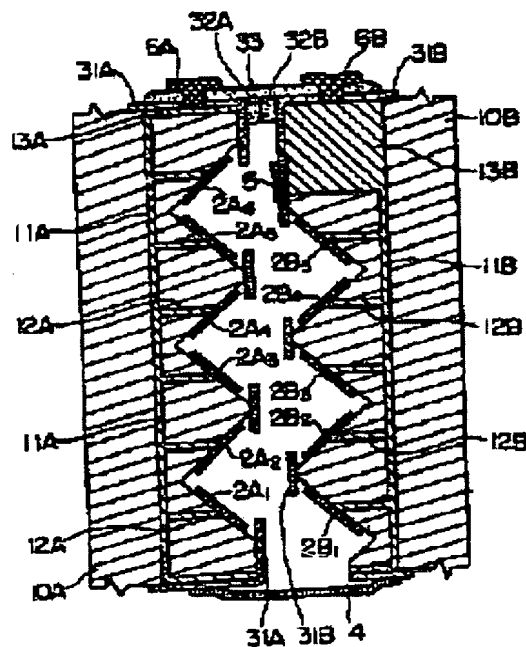
## SECONDARY ELECTRON MULTIPLIER

Patent number: JP4359855  
 Publication date: 1992-12-14  
 Inventor: TANAKA AKIMASA  
 Applicant: HAMAMATSU PHOTONICS KK  
 Classification:  
 - International: H01J43/24; H01J43/00; (IPC1-7): H01J43/24  
 - european:  
 Application number: JP19910134903 19910606  
 Priority number(s): JP19910134903 19910606

Report a data error here

## Abstract of JP4359855

**PURPOSE:** To construct a secondary electron multiplier in a small size, enable low voltage operation, and provide a high sensitivity by installing a dynode at the stepped surface of a semiconductor base-board prepared through etching, and connecting this dynode with an impurity layer provided for dividing of the resistance. **CONSTITUTION:** An n-type split resistance layer 11A is formed on a Si-wafer, and n-type electroconductive layers 12A leading to the layer 11A are formed at a certain pitch to form a semiconductor base board 10A. Then an insulative film 31A consisting of Si<sub>3</sub>N<sub>4</sub> is formed and patterned. With this film 31A as a mask, the base board 10A is subjected to isotropic etching so as to form V-grooves at the same pitch as the layers 12A, and dynodes 2A<sub>1</sub>-2A<sub>6</sub> are formed on the V-groove surfaces. Another semiconductor base board 10B shall undergo the same processings substantially. Spacers 32A, 32B consisting of SiO<sub>2</sub> are formed and affixed together while facing each other. An anode 5 in connection to a contact layer 13B is formed also on the base board 10B. The two ends are fixed by a cap layer 33 and a support layer 34, and a photo-electric surface 4 is formed on the surface of the support film 34. The film 34 is removed selectively, and through holes are formed in the films 31A, 31B, and 32 to form electrodes 6A, 6B.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-359855

(43) 公開日 平成4年(1992)12月14日

(51) Int.Cl.<sup>5</sup>

H 0 1 J 43/24

識別記号

庁内整理番号

7247-5E

F I

技術表示箇所

審査請求 未請求 請求項の数4(全 5 頁)

(21) 出願番号 特願平3-134903

(22) 出願日 平成3年(1991)6月6日

(71) 出願人 000236436

浜松ホトニクス株式会社

静岡県浜松市市野町1126番地の1

(72) 発明者 田中 章雅

静岡県浜松市市野町1126番地の1 浜松ホ

トニクス株式会社内

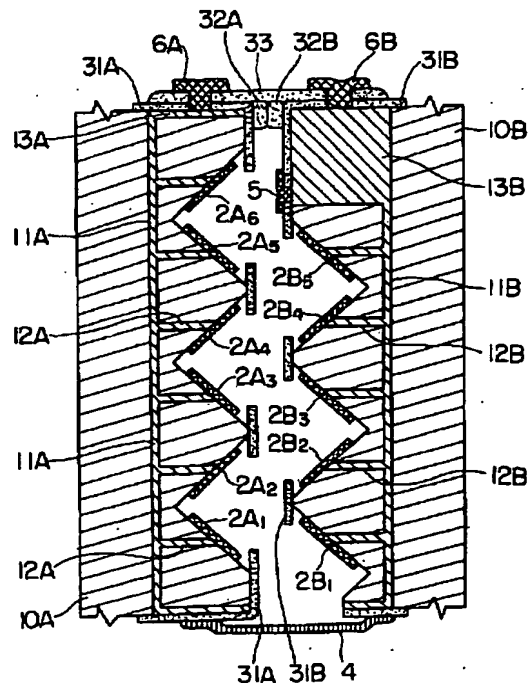
(74) 代理人 弁理士 長谷川 芳樹 (外3名)

(54) 【発明の名称】 二次電子増倍装置

(57) 【要約】

【目的】 半導体微細加工により光電子増倍管を提供する。

【構成】 一方の端部側には入射光に応答して光電子を放出する光電子源(4)が設けられ、ここからの光電子が入射され得るように、一定の間隔をあけて対向配置された2枚の半導体基板(10A、B)を真空容器内部に備えて構成され、2枚の半導体基板は、それぞれの対向面が所定のピッチで繰り返す階段形状とされて、当該階段の各面には個別のダイノード(2A、B)が形成されており、個別のダイノードは半導体基板に形成された抵抗分割用の不純物層(11A、B)にそれぞれ接続されており、更に、他方の端部側にはアノード(5)が設けられている。



1

## 【特許請求の範囲】

【請求項1】 一方の端部側から荷電粒子が入射されるように、一定の間隔をあけて対向配置された2枚の半導体基板を真空容器内部に備えて構成され、前記2枚の半導体基板は、それぞれの対向面が前記一方の端部側から他方の端部側に向って所定のピッチで繰り返す階段形状とされて、当該階段の各面には個別のダイノードが形成されており、前記個別のダイノードは前記半導体基板に形成された抵抗分割用の不純物層にそれぞれ接続されており、更に、前記他方の端部側にはアノードが設けら

れていることを特徴とする二次電子増倍装置。

【請求項2】 前記一方の端部側には入射光にตอบสนองして光電子を放出する光電子源が設けられている請求項1記載の二次電子増倍装置。

【請求項3】 前記アノードは、前記2枚の半導体基板の一方に形成されている請求項1記載の二次電子増倍装置。

【請求項4】 前記抵抗分割用の不純物層の各分割抵抗部分には、キャパシタが並列に接続されている請求項1記載の二次電子増倍装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は二次電子増倍装置に係り、例えば光電子増倍管(PMT)などとして用いることができる。

【0002】

【従来の技術】 高感度の光検出装置として、光電子増倍管が広く用いられている。この光電子増倍管は、二次電子の増倍用に高電圧を印加することが必要になり、また装置の小型化も比較的困難である。ところで、米国特許第3,349,273号では、2枚のセラミックブロックを一体化した光電変換ヘッドが提案されており、これを用いると光電子増倍管の小型化などが可能になる。

【0003】

【発明が解決しようとする課題】 しかしながら、上記の装置においては、セラミックスの微細加工が必要になるだけでなく、抵抗層もカーボンコーティング技術などを用いて作製することが必要になる。このためコスト高となるだけでなく、十分な小型化も難しく、供給電圧を低くすることも難しい。ところで、近年の半導体微細加工技術の進歩は著しく、また拡散抵抗としても高抵抗のものが実現し得る。

【0004】 本発明は、かかる事情に鑑みてなされたもので、小型化かつ低電圧動作が可能であって、しかも高感度な二次電子増倍装置を提供することを目的とする。

【0005】

【課題を解決するための手段】 本発明に係る二次電子増倍装置は、一方の端部側から荷電粒子(例えば光電子)が入射されるように一定の間隔をあけて対向配置された2枚の半導体基板を真空容器内部に備えて構成さ

2

れ、上記2枚の半導体基板は、それぞれの対向面が上記一方の端部側から他方の端部側に向って所定のピッチで繰り返す階段形状とされて、当該階段の各面には個別のダイノードが形成されており、これら個別のダイノードは半導体基板に形成された抵抗分割用の不純物層にそれぞれ接続されており、更に、他方の端部側にはアノードが設けられていることを特徴とする。ここで、光電子増倍管とされる場合は、一方の端部側には入射光にตอบสนองして光電子を放出する光電子源が設けられる。

【0006】

【作用】 本発明の構成によれば、半導体基板の階段面は半導体のエッチングにより作成され、ここにダイノードが配設される。そして、これは抵抗分割用の不純物層に接続されるので、この不純物層の両端間に電圧を印加することにより、一方の端部側から入射した荷電粒子(例えば光電子)は、各段のダイノードで増倍されて他方の端部側に走行し、アノードに到達する。

【0007】

【実施例】 以下、添付図面により本発明の一実施例を説明する。なお、同一要素には同一符号を付して、重複した説明を省略する。

【0008】 図1は実施例に係る光電子増倍管の要部の断面図である。対向して配置された2枚の半導体基板10A、10Bの対向面は、異方性エッチング等によって一定のピッチで繰り返す階段形状とされ、各々の階段面には個々のダイノード2A<sub>1</sub>～2A<sub>6</sub>、2B<sub>1</sub>～2B<sub>5</sub>が設けられている。そして、半導体基板10A、10Bの内部には、不純物をドーピングして構成された分割抵抗層11A、11Bが配設され、これは同じく不純物をドーピングした導電層12A、12Bによりダイノード2A、2Bと接続されている。半導体基板10A、10Bの表面に残された絶縁膜31A、31Bは、半導体基板10A、10Bのエッチングにおけるマスクとして作用し、かつダイノード2A、2B形成時のマスクとしても作用するが、これについては後述する。

【0009】 2枚の半導体基板10A、10Bは、スペーサ膜32A、32Bを介することによって一定の間隔をあけて固定され、他方の端部側はキャップ膜33によって封止される。これに対し、一方の端部側には光電子源としての光電面4が形成される。なお、ダイノード2A、2Bは半ピッチ分ずつ偏位するようになっており、半導体基板10Bの他方の端部側には不純物ドープによるコンタクト層13Bが形成され、この表面にアノード5が形成されている。コンタクト層13A、13Bには電極6A、6Bが接続して設けられ、図示しない他の電極と共に、電圧印加と出力の取り出しが可能になっている。

【0010】 次に、上記実施例に係る光電子増倍管の作用を、図2を参照して説明する。

【0011】 光電子増倍管として作用させるためには、

3

図1のデバイスを真空管の内部に収容し、図2のように、分割抵抗層11A、11Bに対して電圧 $E_A$ 、 $E_B$ を印加する。そして、望ましくは分割抵抗層11A、11Bに対して並列に、個別にキャパシタ $C_A$ 、 $C_B$ を接続しておく。このようにしておく、ダイノード2A、2Bへの電子入射によって二次電子が放出される際に、キャパシタ $C_A$ 、 $C_B$ のチャージが放電されることになるので、分割抵抗層11A、11Bの負荷を軽減することができる。

【0012】上記の構成において、光電面4に光入射があると光電子が放出され、第1段目のダイノード2B<sub>1</sub>に衝突する。これにより、ダイノード2B<sub>1</sub>から二次電子が放出され、これはダイノード2B<sub>1</sub>とダイノード2A<sub>1</sub>の間の電界で加速され、ダイノード2A<sub>1</sub>に衝突する。そして、新たな二次電子が放出され、以下これを同様に繰り返すことにより、最終的には増倍された大量の電子がアノード5に入射し、結果は電極6Bから出力V<sub>out</sub>として取り出される。

【0013】次に、上記実施例に係る光電子増倍管の製造工程を、図3ないし図6により説明する。

【0014】まず、i型またはp型のシリコンウエハを用意し、イオン注入法、熱拡散法あるいは選択エピタキシャル成長法を用いて、n型の分割抵抗層11Aを所望のパターンで形成する。次いで、厚いi型シリコン結晶層をエピタキシャル成長させ、イオン注入法などで表面から分割抵抗層11Aに至るn型導電層12Aを、一定のピッチで形成し、これを半導体基板10Aとする(図3(a)参照)。

【0015】次にSi<sub>3</sub>N<sub>4</sub>などからなる絶縁膜31AをCVD法などで形成し、フォトリソグラフィ技術などでパターンニングする。そして、絶縁膜31Aをマスクとして半導体基板10Aを異方性エッチングすることで、導電層12Aと同一ピッチのV溝を形成する(図3(b)参照)。

【0016】次に、V溝の各面に、ダイノード2A<sub>1</sub>~2A<sub>n</sub>を形成する(図3(c)参照)。このダイノード2Aの形成は、図4のようにして行う。すなわち、スパッタ源7からのスパッタ粒子の飛来方向に対して、半導体基板10Aを傾けて配置すると、V溝の頂部に残された絶縁膜31Aがマスクとなり、個々に分離されたダイノード2Aが各面に形成される。このようにして、本実施例の光電子増倍管を構成する一方の半導体基板10Aが加工されるが、他方の半導体基板10Bについても同様の加工を行ない、図5に示すような半導体基板10A、Bのペアを構成する。そして、SiO<sub>2</sub>からなるスペーサ膜32A、32Bを形成し、対向するように貼り合せる。なお、半導体基板10Bについてはコンタクト層13Bに接続されたアノード5も形成しておく。

【0017】次に、図6に示すように、両方の端部をSiO<sub>2</sub>などからなるキャップ膜33とサポート膜34で

4

固定し、サポート膜34の表面には光電面4を形成する(図6参照)。しかる後、半導体基板10Aと半導体基板10Bの間にエッチャント注入することにより、サポート膜34を選択的に除去する。そして、絶縁膜31A、31Bおよびスペーサ膜32にスルーホールを形成し、電極6A、6Bを形成する。なお、光電面4としてはGaAsなどの化合物半導体を用いることができ、表面活性化処理(NEA)を行なうことにより、負の電子親和力を持たせることができる。また、上記の装置は、真空管などに封入して光電子増倍管として用いられる。

【0018】上記のようにして得られた光電子増倍管は、大きさが1cm立方程度であり、従来にはない小型化が可能になる。また、低電圧による動作と高感度化を可能にすることができる。

【0019】

【発明の効果】以上の通り、半導体基板の階段面は半導体のエッチングにより作成され、ここにダイノードが配設される。そして、これは抵抗分割用の不純物層に接続されるので、この不純物層の両端間に電圧を印加することにより、一方の端部側から入射した荷電粒子(例えば光電子)は、各段のダイノードで増倍されて他方の端部側に走行し、アノードに到着する。このため、小型であって低電圧動作が可能であり、しかも高感度な二次電子増倍装置が実現できる。

【図面の簡単な説明】

【図1】実施例に係る光電子増倍管の要部断面図である。

【図2】図1の光電子増倍管の使用法および作用を示す図である。

【図3】図1の光電子増倍管の製造方法を示す図である。

【図4】図1の光電子増倍管の製造方法を示す図である。

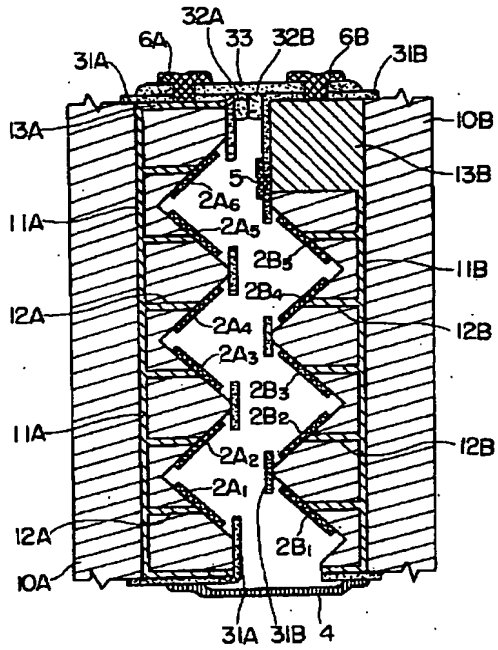
【図5】図1の光電子増倍管の製造方法を示す図である。

【図6】図1の光電子増倍管の製造方法を示す図である。

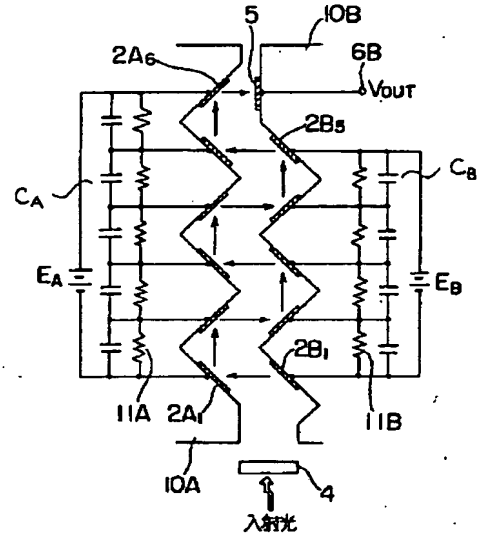
【符号の説明】

10A、B…半導体基板  
11A、B…分割抵抗層  
12A、B…導電層  
13A、B…コンタクト層  
2A、B…ダイノード  
31A、B…絶縁膜  
32A、B…スペーサ膜  
33…キャップ膜  
34…サポート膜  
4…光電面  
5…アノード

【図1】

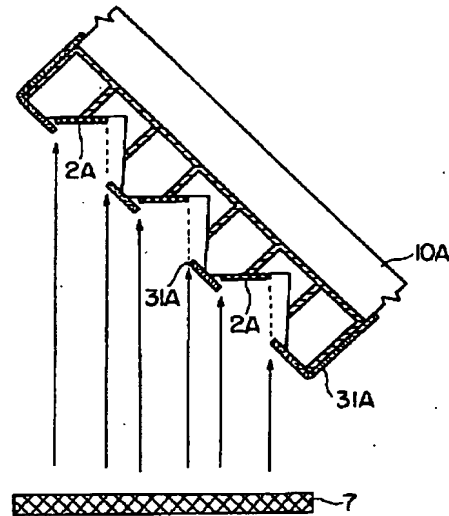
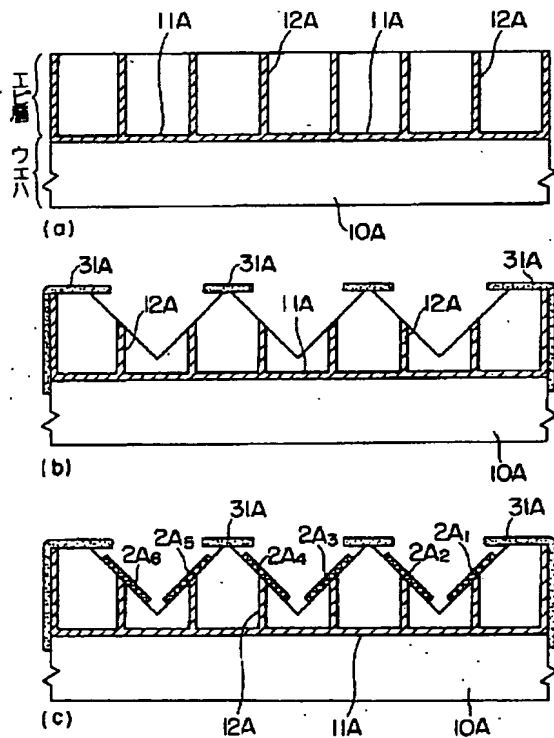


【図2】

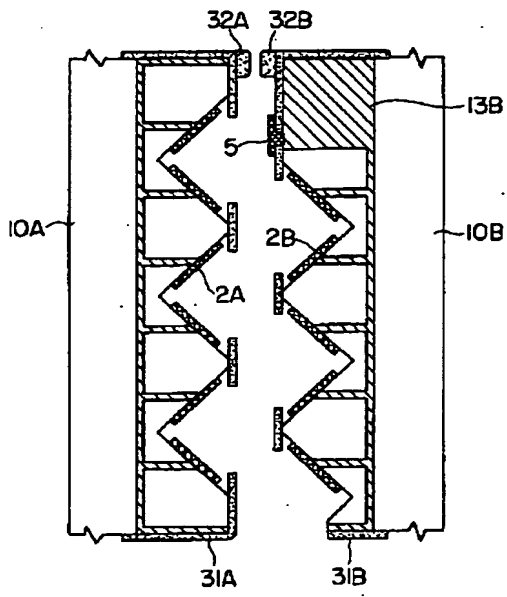


【図4】

【図3】



【図5】



【図6】

